

3-2

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-124793

(43)Date of publication of application : 25.04.2003

(51)Int.Cl.

H03K 19/00  
G05F 1/00  
H01L 21/822  
H01L 27/04

(21)Application number : 2001-312658

(71)Applicant : TOSHIBA MICROELECTRONICS CORP  
TOSHIBA CORP

(22)Date of filing : 10.10.2001

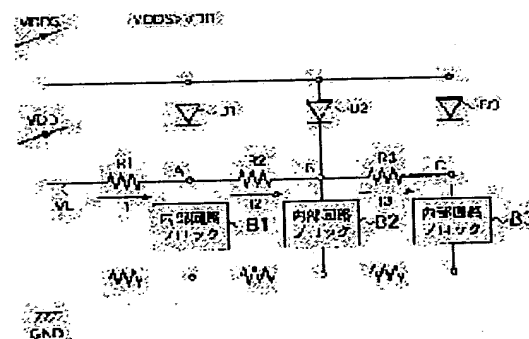
(72)Inventor : IWASAKI TSUNEHISA

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit in which the drop of an internal circuit power supply voltage is relaxed.

SOLUTION: This semiconductor integrated circuit is configured to provide a diode connected between a power supply VDD for an internal circuit and a different power supply VDDs so as to be in a forward direction from the different power supply VDDs to the power supply VDD for an internal circuit and for making a difference between an internal circuit power supply voltage VDD and a power supply voltage VDDs of the different power supply VDDs to be a forward voltage.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

3-1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-124793

(P2003-124793A)

(43) 公開日 平成15年4月25日 (2003.4.25)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テ-マ-ト\* (参考)

H 0 3 K 19/00

H 0 3 K 19/00

A 5 F 0 3 8

G 0 5 F 1/00

G 0 5 F 1/00

F 5 H 4 1 0

H 0 1 L 21/822

H 0 1 L 27/04

B 5 J 0 5 6

27/04

審査請求 未請求 請求項の数4 O L (全 5 頁)

(21) 出願番号

特願2001-312658(P2001-312658)

(22) 出願日

平成13年10月10日 (2001.10.10)

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社  
神奈川県川崎市川崎区駅前本町25番地1

(71) 出願人 000003078

株式会社東芝  
東京都港区芝浦一丁目1番1号

(72) 発明者 岩崎 倫久

神奈川県川崎市川崎区駅前本町25番地1  
東芝マイクロエレクトロニクス株式会社内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

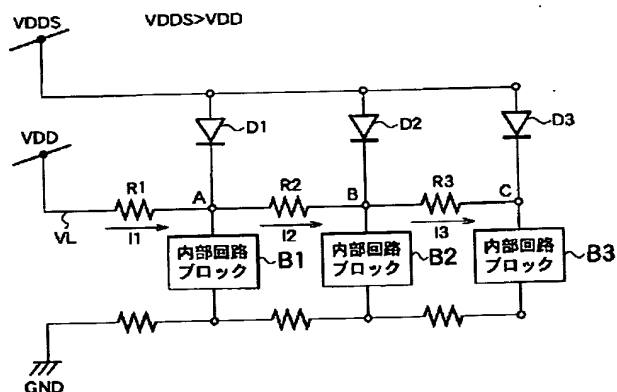
最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 この発明は、内部回路電源電圧の低下を緩和した半導体集積回路を提供することを課題とする。

【解決手段】 この発明は、内部回路用電源VDDと別電源VDDsとの間に、別電源VDDsから内部回路用電源VDDに向かって順方向となるように接続され、内部回路電源電圧VDDと別電源VDDsの電源電圧VDDsとの差を順方向電圧とするダイオードを設けて構成される。



1

## 【特許請求の範囲】

【請求項1】 内部回路に第1の電源電圧を供給する第1の電源と、

前記第1の電源が供給する第1の電源電圧よりも高い第2の電源電圧を供給する第2の電源と、

前記第1の電源と前記第2の電源との間に、前記第2の電源から前記第1の電源に向かって順方向となるように接続され、前記第1の電源電圧と前記第2の電源電圧との差を順方向電圧とするダイオードとを有することを特徴とする半導体集積回路。

【請求項2】 前記ダイオードは、直列接続された複数のダイオードから構成され、

前記直列接続された複数のダイオードは、それぞれのダイオードの順方向電圧の和が、前記第1の電源電圧と前記第2の電源電圧との差となるように設定されてなることを特徴とする請求項1記載の半導体集積回路。

【請求項3】 前記ダイオードは、半導体集積回路の内部に向かうにしたがって多く配置されてなることを特徴とする請求項1又は2記載の半導体集積回路。

【請求項4】 前記ダイオードは、電源電流が多く流れる箇所に多く配置されてなることを特徴とする請求項1、2又は3記載の半導体集積回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、内部電源電圧の低下を緩和した半導体集積回路に関する。

【0002】

【従来の技術】近年、半導体製造プロセスにおける素子の微細化が進み、その影響で例えばトランジスタのゲート膜厚が薄くなってきている。このため、ゲート膜の耐圧を低く抑えるために、電源電圧の低電圧化が進められている。

【0003】また、動作スピードの高速化により動作周波数が高められている。動作周波数が上がると消費電力も増加する。そこで、上記と同様に、消費電力の増加を抑制するために、電源電圧の低電圧化が進められている。

【0004】このように、最近の半導体集積回路において、特にASICの半導体集積回路では、内部回路に供給される電源電圧（以下、内部回路電源電圧と呼ぶ）は、例えば1.2V～1.5V程度にまで下げられているものが多い。しかし、外部とのインターフェースのためのI/O回路では、外部との信号のやりとりのために、I/O回路に供給される電源電圧は、内部回路電源電圧よりも高めの電圧、例えば3V程度に設定されていた。

【0005】このような半導体集積回路においては、内部回路電源電圧が低電圧化されているため、内部回路電源電圧が僅かに低下しただけでも、内部回路の特性の変化が顕著に現れていた。

【0006】

2

【発明が解決しようとする課題】以上説明したように、内部回路電源電圧が低電圧化された従来の半導体装置にあっては、内部回路電源電圧が低電圧化されているため、内部回路電源電圧の僅かな低下であっても、内部回路に影響を及ぼし、誤動作に至るおそれがあるといった不具合を招いていた。

【0007】そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、内部回路電源電圧の低下を緩和した半導体集積回路を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するために、課題を解決する手段は、内部回路に第1の電源電圧を供給する第1の電源と、前記第1の電源が供給する第1の電源電圧よりも高い第2の電源電圧を供給する第2の電源と、前記第1の電源と前記第2の電源との間に、前記第2の電源から前記第1の電源に向かって順方向となるように接続され、前記第1の電源電圧と前記第2の電源電圧との差を順方向電圧とするダイオードとを有することを特徴とする。

【0009】

【発明の実施の形態】以下、図面を用いてこの発明の実施形態を説明する。

【0010】図1はこの発明の一実施形態に係る半導体集積回路の構成を示す図である。図1において、この実施形態の半導体装置は、内部回路ブロックB1、B2、B3に、電源配線VLを介して第1の電源となる内部回路用電源VDDから内部回路電源電圧VDDを供給している。電源配線VLは、配線抵抗R1、R2、R3を有し、配線抵抗R1は、内部回路用電源VDDから内部回路ブロックB1まで（ノードAまで）の抵抗を表し、配線抵抗R2は、ノードAから内部回路ブロックB2まで（ノードBまで）の抵抗を表し、配線抵抗R3は、ノードBから内部回路ブロックB3まで（ノードCまで）の抵抗を表す。また、半導体集積回路は、内部回路用電源VDDの電源電圧VDDよりも高い電源電圧VDDSを供給する第2の電源となる別電源VDDSを備えている。

【0011】この別電源VDDSとノードA、ノードB、ノードCのそれぞれの間に、別電源VDDSからそれぞれのノードA、B、Cに向かって順方向となるように、ダイオードD1、D2、D3が接続されている。このダイオードD1、D2、D3は、その順方向電圧Vfiが図2の特性曲線で示すように、 $V_{fi} = (V_{DDS} - V_{DD})$ となるように設定されている。別電源VDDSは、外部とのインターフェース用に設けられたI/O回路に、内部回路用電源電圧VDDよりも高い電源電圧を供給するI/O回路用電源を用いる場合には、新たに電源を設ける必要はなくなる。

【0012】このような構成において、それぞれの内部

3

回路ブロックB1、B2、B3が動作することによって、内部回路用電源VDDから電源配線VLを介してそれぞれの内部回路ブロックB1、B2、B3に電流が供給される。電源配線VLに電流が流れると、電源配線VLの各配線抵抗R1、R2、R3によって電圧降下が生じる。このため、配線抵抗R1、R2、R3に流れる電流をI1、I2、I3とすると、ノードAの電位VAは、 $VA = VDD - R1 \times I1$ 、ノードBの電位VBは、 $VB = VA - R2 \times I2$ 、ノードCの電位VCは、 $VC = VB - R3 \times I3$ となる。したがって、それぞれ

のダイオードD1、D2、D3の両端の電位差は、それぞれのダイオードD1、D2、D3の順方向電圧 $Vf1 = (VDDS - VDD)$ よりも大きくなる。これにより、それぞれのダイオードD1、D2、D3には、それぞれのダイオードD1、D2、D3の両端の電位差に応じて図2に示す特性曲線で示す電流が流れる。

【0013】それぞれのダイオードD1、D2、D3に電流が流れると、配線抵抗R1、R2、R3に流れる電流I1、I2、I3は、それぞれのダイオードD1、D2、D3に流れる電流分だけ減少することになる。したがって、配線抵抗R1、R2、R3による電圧降下は減少し、それぞれのノードA、ノードB、ノードCの電圧降下は、それぞれのダイオードD1、D2、D3に電流が流れない場合に比べて少なくなる。これにより、それぞれの内部回路B1、B2、B3に供給される電源電圧の低下が緩和され、電源電圧低下による内部回路における誤動作のおそれを抑えることができる。

【0014】図3はこの発明の他の実施形態に係る半導体集積回路の構成を示す図である。この実施形態の特徴とするところは、図1に示すダイオードD1を、直列接続された2つのダイオードD11、D12に代え、ダイオードD11、D12は、図4の波線の特性曲線に示すように、その順方向電圧 $Vf2$ が $(VDDS - VDD)$ よりも小さくなるように設定し、かつダイオードD11の順方向電圧とダイオードD12の順方向電圧の和 $Vf3$ が $(VDDS - VDD)$ となるように設定したことにあ

る。同様に、図1に示すダイオードD2を、直列接続された2つのダイオードD21、D22に代え、図1に示すダイオードD3を、直列接続された2つのダイオードD31、D32に代え、ダイオードD21、D22、D31、D32のそれぞれの順方向電圧を、ダイオードD11、D12と同様に設定したことを特徴とする。

【0015】このような実施形態においても、前述した実施形態と同様の効果を得ることができる。なお、ダイオードD1、D2、D3に置き換えられるダイオードは、2以上の複数であってもよい。

【0016】上記実施形態を施した半導体集積回路のチ

4

ップでは、通常チップの外周部に設けられた電源パッドから内部へ向かうほど電源配線の配線抵抗となる寄生抵抗が大きくなるため、それに伴って電源電圧の降下も大きくなる。そこで、図5に示すように、チップ1の外周部に設けられたI/O部2に対して、内部回路が形成された内部回路形成領域3の内部に向かうほど上記実施形態で説明したダイオード4を多く配置するようにする。これにより、内部回路ブロックで流れる電流が分散され、電源電圧の低下を緩和する効果をより一層高めることができる。

【0017】また、それぞれの内部回路ブロックは、その機能に応じて消費電流が異なるが、チップ全体としてみた場合に、電源電流が多く流れる箇所に上記実施形態で説明したダイオードを多く配置するようにしても、内部回路ブロックで流れる電流が分散され、電源電圧の低下を緩和する効果をより一層高めることができる。

【0018】

【発明の効果】以上説明したように、この発明によれば、第1の電源と前記第2の電源との間に、第2の電源から第1の電源に向かって順方向となるように接続され、前記第1の電源電圧と前記第2の電源電圧との差を順方向電圧とするダイオードを設けたので、内部回路に供給される第1の電源の電源電圧の低下を緩和することが可能となる。

【図面の簡単な説明】

【図1】この発明の一実施形態に係る半導体集積回路の構成を示す図である。

【図2】図1に示すダイオードの特性曲線を示す図である。

【図3】この発明の他の実施形態に係る半導体集積回路の構成を示す図である。

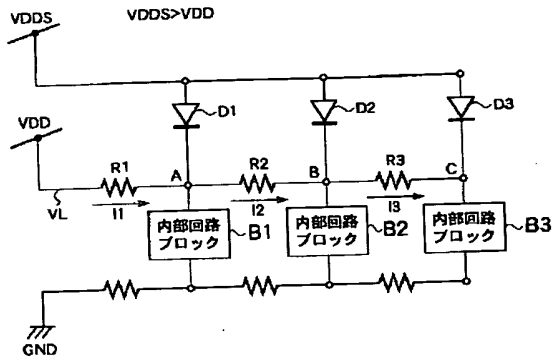
【図4】図3に示すダイオードの特性曲線を示す図である。

【図5】チップ上でのダイオードの配置を示す図である。

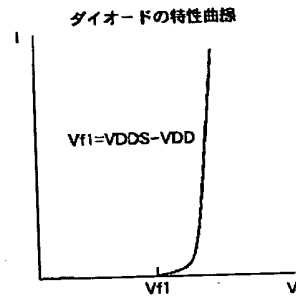
【符号の説明】

- 1 チップ
- 2 I/O部
- 3 内部回路形成領域
- 4 D1、D2、D3、D11、D12、D21、D22、D31、D32ダイオード
- VDD 内部回路用電源
- VDDS 別電源
- VL 電源配線
- R1、R2、R3 抵抗
- B1、B2、B3 内部回路ブロック
- A、B、C ノード

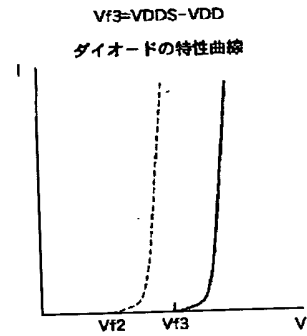
【図 1】



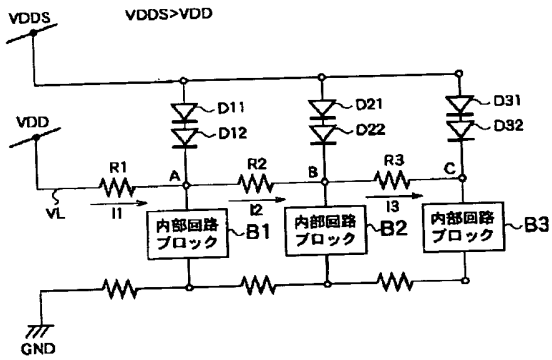
【図 2】



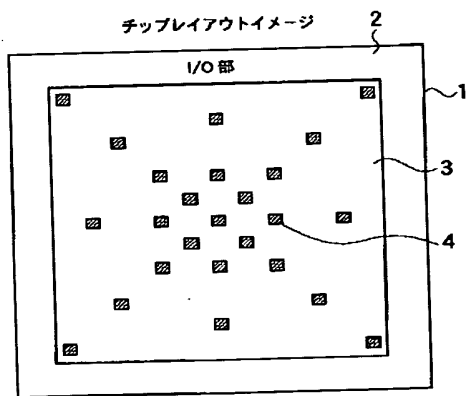
【図 3】



【図 4】



【図 5】



フロントページの続き

Fターム(参考) 5F038 AR19 AV04 BB04 CD02 CD12  
CD17 EZ20  
5H410 BB04 CC02 DD02  
5J056 AA00 BB17 BB18 DD55 KK03